



Análisis experimental de la inestabilidad del voltaje de umbral mediante la caracterización eléctrica uf-otf en mosfets de potencia fabricados en nitruro de galio

Experimental Analysis of Threshold Voltage Instability by uf-otf Electrical Characterization in Gallium Nitride Power Mosfets

Análise Experimental de Instabilidade de Tensão Limiar por Caracterização Elétrica uf-otf em Mosfets de Potência de Nitreto de Gálio

Esteban Augusto Guevara-Cabezas ^I
esteban.guevara@esPOCH.edu.ec
<https://orcid.org/0000-0001-6652-047X>

Cristian Javier Rocha-Jácome ^{II}
crjacome@us.es
<https://orcid.org/0000-0001-6730-5691>

Fabrizio Javier Santacruz Sulca ^{III}
fabrizio.santacruz@esPOCH.edu.ec
<https://orcid.org/0000-0001-7123-2552>

José Luis Tinajero-León ^{IV}
joseluis.tinajero@esPOCH.edu.ec
<https://orcid.org/0000-0002-3389-4077>

Correspondencia: esteban.guevara@esPOCH.edu.ec

Ciencias Técnicas y Aplicadas
Artículo de Revisión

* **Recibido:** 27 de marzo de 2022 * **Aceptado:** 17 de abril de 2022 * **Publicado:** 13 de mayo de 2022

- I. Facultad de Mecánica, Escuela Superior Politécnica de Chimborazo (ESPOCH), Riobamba, Ecuador.
- II. Department of Electronics Engineering, University of Seville, 41092 Seville, Spain
- III. Facultad de Informática y Electrónica, Escuela Superior Politécnica de Chimborazo (ESPOCH), Riobamba, Ecuador.
- IV. Facultad de Informática y Electrónica, Escuela Superior Politécnica de Chimborazo (ESPOCH), Riobamba, Ecuador.

Resumen

En el presente artículo se analiza el procedimiento experimental para la degradación temporal de los parámetros eléctricos PBTI y NBTI en un grupo de dispositivos GaN MOSFETs de canal n, los resultados se obtuvieron aplicando el método de caracterización ultra rápido UF-OTF el mismo que permite evaluar la evolución temporal de la corriente de drenador y el voltaje de umbral cuando el dispositivo se encuentra en un sistema de caracterización de semiconductores, el mismo que permite estabilizarlo a un régimen de temperatura constante mientras varía el voltaje de compuerta, los resultados obtenidos muestran cierto grado de inestabilidad referente al voltaje de umbral V_T , Las mediciones UF-OTF muestran que el cambio en el voltaje de umbral ΔV_T son atribuidos a la captura/emisión de cargas eléctricas en el dieléctrico e interfaz GaN/AlGaN, además la variación del voltaje umbral ΔV_T decrece con el incremento de la temperatura para el mismo nivel de estrés sugerido en los experimentos, sugiriendo que la recuperación de ΔV_T se restablece con la variación de la temperatura.

Palabras clave: GaN MOSFETs; BTI; UF-OTF

Abstract

In this article, the experimental procedure for the temporary degradation of the PBTI and NBTI electrical parameters in a group of n-channel GaN MOSFETs devices is analyzed. The results were obtained by applying the ultra-fast UF-OTF characterization method, which allows evaluating the temporal evolution of the drain current and the threshold voltage when the device is in a semiconductor characterization system, the same one that allows it to be stabilized at a constant temperature regime while the gate voltage varies, the results obtained show a certain degree of instability referring to the threshold voltage V_T , The UF-OTF measurements show that the change in the threshold voltage ΔV_T are attributed to the capture/emission of electrical charges in the dielectric and GaN/AlGaN interface, in addition to the variation of the threshold voltage ΔV_T decreases with increasing temperature for the same stress level suggested in the experiments, its turning that the recovery of ΔV_T is restored with the variation of the temperature.

Keywords: GaN MOSFETs; BTI; UF-OTF.

Retomar

Neste artigo é analisado o procedimento experimental para a degradação temporária dos parâmetros elétricos PBTI e NBTI em um grupo de dispositivos GaN MOSFETs de canal n. Os resultados foram obtidos aplicando o método de caracterização ultra-rápido UF-OTF, que permite avaliar a evolução temporal da corrente de dreno e da tensão limite quando o dispositivo está em um sistema de caracterização de semicondutores, o mesmo que permite que ele seja estabilizado em um regime de temperatura constante enquanto a tensão da porta varia, os resultados obtidos mostram um certo grau de instabilidade referindo-se à tensão limite V_T , as medições UF-OTF mostram que a mudança na tensão limite ΔV_T é atribuída à captura/emissão de cargas elétricas na interface dielétrica e GaN/AlGaIn, além da variação da tensão limite ΔV_T diminui com o aumento da temperatura para o mesmo nível de tensão sugerido nos experimentos, sua girando que a recuperação de ΔV_T é restabelecida com a variação da temperatura.

Palavras-chave: GaN MOSFETs; BTI; UF-OTF

Introducción

En la actualidad el continuo incremento del consumo de energía en el mundo se considera uno de los problemas más críticos de nuestra sociedad, particularmente el consumo de energía global se estima un incremento alrededor del 40%, en este contexto la potencia eléctrica es una tecnología clave que permite enlazar las fuentes de generación eléctrica con el usuario final, mediante el control efectivo y manejo adecuado de la potencia eléctrica.

Durante muchas décadas el silicio ha dominado la industria de los dispositivos electrónicos, alrededor del 87% de los dispositivos electrónicos de potencia en el mercado se basan en la tecnología de Silicio. Uno de los principales problemas en los actuales dispositivos de potencia basados en Silicio es que una gran cantidad de la energía eléctrica generada es consumida por el dispositivo semiconductor durante las transformaciones energéticas de los sistemas electrónicos de potencia (fuentes de alimentación para computadores, drivers para motores industriales, convertidores AC/DC, DC/DC, inversores para energías renovables) [1]. Por lo tanto, mejorar la eficiencia energética de los dispositivos de potencia es fundamental para reducir el consumo energético global [2-4-19].

De esta manera la próxima generación de dispositivos electrónicos de potencia deben operar a elevados niveles de potencia, frecuencias y temperaturas y por lo tanto mejorar la eficiencia energética respecto a los dispositivos fabricados en Silicio, por ende, surge la necesidad de introducir al mercado nuevas tecnologías de dispositivos semiconductores que superen los límites físicos del silicio [4].

Actualmente los dispositivos fabricados en Nitruro de Galio (GaN) presentan diferentes ventajas potenciales respecto al Silicio (Si), entre las principales a destacar se incluyen la operación con altos voltajes, estabilidad con altos niveles de temperatura, operación con elevados campos eléctricos críticos y conmutación a frecuencias elevadas [5]. Respecto a las características presentadas ha permitido que se utilicen en la implementación de los distintos sistemas de conversión de energía (convertidores DC/DC, inversores) utilizados en la electrónica de potencia, principalmente orientados a la industria eléctrica automotriz y energías renovables [6-7].

Sin embargo al considerarse una tecnología nueva, los dispositivos fabricados con semiconductores WBG, presentan varios factores de inestabilidad referente a sus parámetros eléctricos característicos (voltaje de umbral y corriente de drenador). Para determinar el nivel de inestabilidad se realizan pruebas BTI, desde un punto de vista práctico [8], es de suma importancia estimar la degradación BTI para conocer el tiempo de la vida útil esperada de los dispositivos (y, por lo tanto, de los circuitos y productos). La evaluación de la degradación paramétrica del MOSFET inducida por BTI generalmente procede estresando el dispositivo en una condición de envejecimiento acelerado bajo condiciones de voltaje de compuerta (dentro de sus valores nominales) y variaciones de temperatura [9-10-11].

Detalles experimentales

Se evalúan los parámetros eléctricos mediante pruebas que permite determinar el grado de inestabilidad cuando se varía la temperatura bajo condiciones de voltaje de compuerta en tres familias de transistores fabricados en Arseniuro de Galio comercialmente disponibles, las características eléctricas de los dispositivos se muestran en la **tabla I**, la evaluación se determinó estresando el dispositivo a una variación de voltaje de compuerta V_G comprendido en sus valores nominales de funcionamiento de esta manera $V_G = V_{estres}$ lo que permite determinar la variación de los parámetros eléctricos característicos (corriente de drenador I_D y voltaje de umbral V_T) en intervalos logarítmicos de tiempo (tiempo de estrés t_{estres}) [12].

Tabla I PRINCIPALES CARACTERÍSTICAS ELÉCTRICAS DE LOS DISPOSITIVOS EVALUADOS

Dispositivo	Vdss [V]	IDmax. [A]	RDS on Typ@20 A T=25 °C	VT	Ciss [nC]	Temperatura Max. °C
<i>Dispositivo</i> A	1200	65	80	3	2,5	200
<i>Dispositivo</i> B	1200	45	52	3,5	3,5	200
<i>Dispositivo</i> C	1200	55	52	3,2	3,5	200

La variación correspondiente al voltaje de umbral ΔV_T se extrae a partir de la variación de la corriente de drenador I_D , la misma que ha sido medida en la estación de prueba, cuando el dispositivo se encuentra bajo condiciones de estrés (voltaje y temperatura). La condición de estrés debe permitir que el dispositivo opere bajo condiciones de lineales de régimen, por ende, la corriente de drenador debe ser lineal al momento de las mediciones I_{DLIN} , este factor de linealidad se obtiene mediante la polarización de un reducido voltaje de drenador V_D en el orden de los milivoltios, lo que permite mantener constante el campo eléctrico del óxido E_{OX} en el canal del transistor durante la etapa de estrés [13].

Método de caracterización eléctrica

En la **Figura 1** se muestra el esquema de las mediciones OTF, la degradación BTI se induce mediante la variación de I_{DLIN} bajo condiciones de estrés $V_G = V_{estres}$, el método establece que sin la reducción del voltaje de compuerta V_G , esta técnica no sufre de los problemas de recuperación, el primer punto de datos I_{DLIN0} es medido inmediatamente después de la aplicación del voltaje de estrés, por lo tanto se asume que el dispositivo no ha sido estresado y se considera despreciable [14-15], la variación de la corriente de drenador ΔV_T se obtiene de la ecuación 1.

$$\Delta I_{DLIN} = I_{DLIN} - I_{DLIN0} \quad \text{Ec. 1}$$

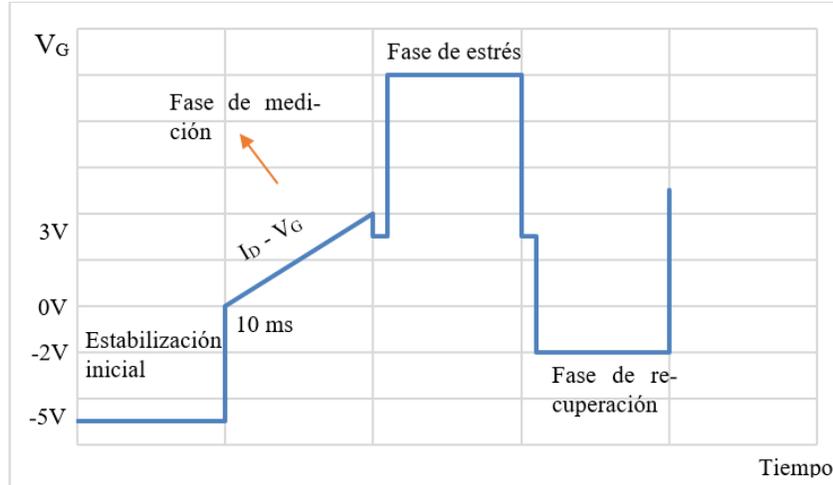


Figura 1. Esquema y procedimiento de mediciones OTF.

El método aplicado depende del retraso del tiempo – cero (t_0 retrasado) entre la aplicación de $V_{G-estres}$ y las mediciones I_{DLIN} , la corriente de drenador inicial lineal I_{DLIN0} , es la primera medición se toma al tiempo $t_0 = 1ms$ mediante los parámetros de caracterización **UF-OTF**, finalmente estas mediciones permiten evaluar ΔV_T y la movilidad efectiva de portadores en el canal $\Delta\mu_{eff}$ [16].

La evaluación y las mediciones BTI se realizaron mediante el Sistema de Caracterización de dispositivos semiconductores Keithley 4200 SCS del Laboratorio de microelectrónica de la Universidad de Sevilla (España), mediante la utilización de tarjetas SMU (source unit measure), las cuales se configuran mediante la interfaz gráfica Keithley Interactive Test las mismas que permite monitorear constante los parámetros de voltaje de compuerta y temperatura.

Para evaluar los factores de inestabilidad en la familia de transistores de potencia, particularmente en la interfaz GaN/AlGaN y sustrato, se realizaron diferentes barridos de V_G , que permitió evaluar la curva característica $I_{DLIN} - V_G$ mediante la aplicación de método de caracterización OTF [17-18], los intervalos de la tensión de estrés de compuerta aplicada a la compuerta al MOSFET que se configuran en intervalos de 100 mV, se detallan en la Tabla II.

Tabla II PARÁMETROS DE PRUEBAS			
Dispositivos	Prueba 1	Prueba 2	Prueba 3
	[V]	[V]	[V]
A-B-C	-5 a 5	-5 a 10	-5 a 15
	@ VDS=	@ VDS=	@ VDS=
	50mv	50mv	50mv

Resultados y discusión

La curva del fenómeno de histéresis $I_{DLIN} - V_G$ observada se muestra en la Fig. 2. muestra un significativo comportamiento de histéresis, en el orden de cientos de milivoltios, a pesar de los bajos voltajes de puerta aplicados. El comportamiento de la variación observada se atribuye a la captura y emisión de de electrones de la capa GaN e interfaz GaN/AlGaN, debido a las trampas preexistentes de la interfaz, sustrato (semiconductor) y viceversa. Como se destaca en la **figura 2**, el cambio la amplitud aumenta al elevar al máximo voltaje de compuerta aplicado, ya que permite llenar las trampas en niveles de energía elevados. Además, la Fig. 2 muestra que todas las curvas $I_{DLIN} - V_G$ se superponen en la parte inicial ascendente, confirmando así que el punto de partida es de -5V el mismo permite reiniciar las características de los dispositivos, el comportamiento es universal para las tres familias de dispositivos.

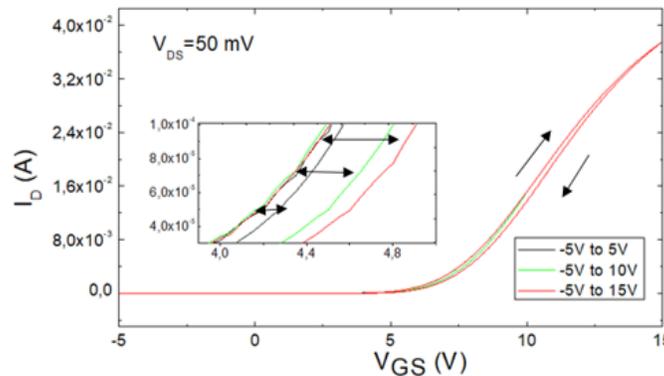


Figura 2. Curva característica ID-VGS de histéresis.

La **Figura 3** muestra la evolución temporal típica de la ΔV_T inducida por tensión para diferentes tensiones de compuerta y variación de temperatura, se atribuye la variación ΔV_T debido a la captura de electrones de la capa del GaN en Trampas de interfaz y de borde. Para evaluar la tasa de atrapamiento de electrones, evaluamos la parámetro de tasa de captura, definido en la Ec. 2.

$$b = \frac{d(\log \Delta V_T)}{d(\log t)} \quad \text{Ec. 2}$$

La variación de voltaje de umbral ΔV_T aumenta con la tensión de compuerta, mientras que presenta una disminución anómala con la temperatura, aunque el atrapamiento de electrones durante la fase de estrés es activado térmicamente, la carga atrapada es mayor mediante la activación térmica, por lo que la variación ΔV_T después de la reducción de temperatura es más baja, cómo se muestra en la **figura 4**, cabe señalar un comportamiento universal para las tres familias de dispositivos.

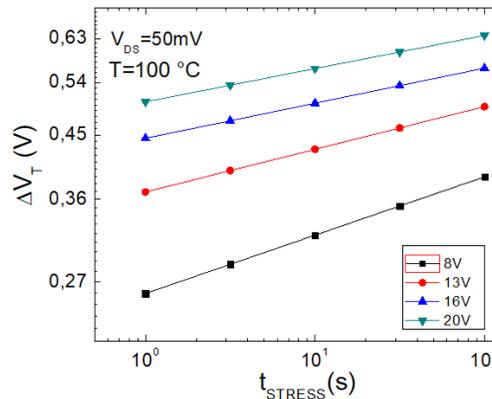


Figura 3. Variación ΔV_T mediante la variación del votaje de compuerta a una temperatura fija.

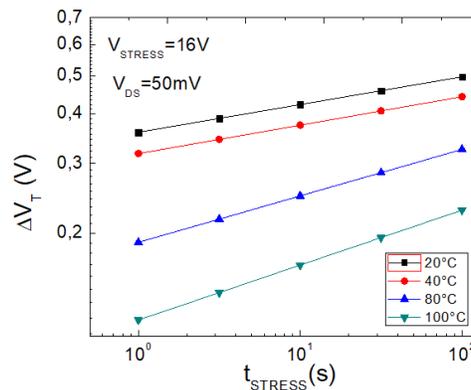


Figura 4. Variación ΔV_T mediante la variación de la temperatura y voltaje de compuerta fijo.

En la **Figura 5**, el parámetro de tasa de captura de electrones disminuye considerablemente al incrementar el voltaje de estrés tensión y reduciendo la temperatura. Se muestra el parámetro de tasa de captura b como una función del cambio de voltaje de umbral, que es una medida de cargas atrapadas, para las diferentes condiciones de experimentos, observamos un comportamiento universal decreciente de la tasa de captura b en función del número de trampas llenas independiente de las condiciones de estrés. Debido a que la probabilidad de trampas de carga está asociado con el número de trampas vacías disponibles.

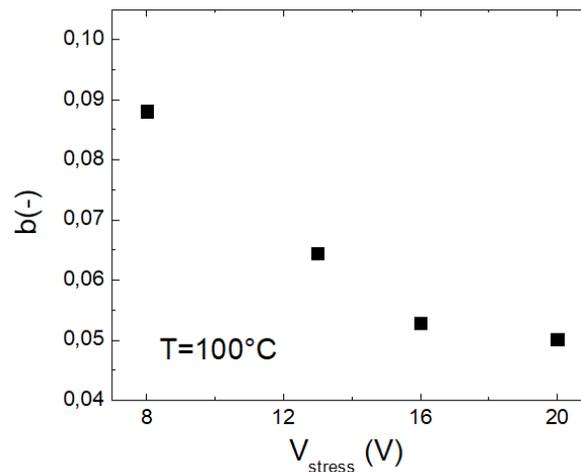


Figura 5. Taza de atrapamiento en función del cambio del voltaje de umbral ΔV_T

Conclusiones

Este artículo analiza la variación del voltaje de umbral en tres familias de MOSFETs comercialmente disponibles de potencia fabricados en Nitruro de Galio, inducido por la polarización de compuerta positiva y negativa. Observamos el fenómeno histéresis en la curva $I_{\text{DLIN}} - V_G$ en el orden de unos pocos cientos de milivoltios, incluso a bajo voltajes de compuerta aplicados. Este fenómeno es principalmente atribuido a la captura de electrones en las trampas de interfaz GaN/AlGaIn. Antes de realizar el estrés PBTI, en una evaluación inicial se implementó la fase de estabilización, con el fin de permitir un estado de referencia reproducible para los experimento subsecuentes. EL factor de caracterización eléctrica PBTI causa un ΔV_T significativo, que se atribuye al atrapamiento de electrones de la capa del semiconductor GaN en las trampas de la interfaz GaN/AlGaIn. El ΔV_T observado se incrementa con el voltaje de tensión

de compuerta V_G , mientras que muestra una disminución anómala con la temperatura, debido a que la eliminación de carga es activada térmicamente con mayor frecuencia respecto al atrapamiento de carga, por lo que el ΔV_T medido es menor a mayor temperatura. La tasa de captura de PBTI disminuye en función de la carga atrapada, independientemente de las condiciones de estrés. En las condiciones de estrés investigadas, el PBTI el ΔV_T inducido es totalmente recuperable de acuerdo al método de caracterización eléctrica empleado, el comportamiento es universal para las tres familias de dispositivos independientemente del fabricante.

Referencias

- [1] D. Jin and J. A. del Alamo, "Methodology for the study of dynamic ON-resistance in high-voltage GaN field-effect transistors," *IEEE Trans. Electron Devices*, vol. 60, no. 10, pp. 3190–3196, Oct. 2013, doi: 10.1109/TED.2013.2274477.
- [2] A. Tarakji *et al.*, "Mechanism of radio-frequency current collapse in GaN–AlGaIn field-effect transistors," *Appl. Phys. Lett.*, vol. 78, no. 15, pp. 2169–2171, Apr. 2001, doi: 10.1063/1.1363694.
- [3] T. Mizutani, Y. Ohno, M. Akita, S. Kishimoto, and K. Maezawa, "A study on current collapse in AlGaIn/GaN HEMTs induced by bias stress," *IEEE Trans. Electron Devices*, vol. 50, no. 10, pp. 2015–2020, Oct. 2003, doi: 10.1109/TED.2003.816549.
- [4] R. Chu *et al.*, "1200-V normally off GaN-on-Si field-effect transistors with low dynamic ON-resistance," *IEEE Electron Device Lett.*, vol. 32, no. 5, pp. 632–634, May 2011, doi: 10.1109/LED.2011.2118190.
- [5] M. Meneghini *et al.*, "Role of buffer doping and pre-existing trap states in the current collapse and degradation of AlGaIn/GaN HEMTs," in *Proc. IEEE IRPS*, Jun. 2014, pp. 6C.6.1–6C.6.7, doi: 10.1109/IRPS.2014.6861113.
- [6] M. Wang *et al.*, "Investigation of surface- and buffer-induced current collapse in GaN high-electron mobility transistors using a soft switched pulsed $I-V$ measurement," *IEEE Electron Device Lett.*, vol. 35, no. 11, pp. 1094–1096, Nov. 2014, doi: 10.1109/LED.2014.2356720.

- [7] M. J. Uren, J. Möreke, and M. Kuball, “Buffer design to minimize current collapse in GaN/AlGaN HFETs,” *IEEE Trans. Electron Devices*, vol. 59, no. 12, pp. 3327–3333, Dec. 2012, doi: 10.1109/TED.2012.2216535.
- [8] P. Fiorenza, G. Greco, F. Iucolano, A. Patti, and F. Roccaforte, “Slow and fast traps in metal-oxide-semiconductor capacitors fabricated on recessed AlGaIn/GaN heterostructures,” *Appl. Phys. Lett.*, vol. 106, no. 14, pp. 142903-1–142903-4, Apr. 2015, doi: 10.1063/1.4917250.
- [9] A. Guo and J. A. del Alamo, “Positive-bias temperature instability (PBTI) of GaN MOSFETs,” in *Proc. IEEE IRPS*, Apr. 2015, pp. 6C.5.1–6C.5.7, doi: 10.1109/IRPS.2015.7112770.
- [10] P. Lager, C. Ostermaier, G. Pobegen, and D. Pogany, “Towards understanding the origin of threshold voltage instability of AlGaIn/GaN MIS-HEMTs,” in *Proc. IEEE IEDM*, Dec. 2012, pp. 13.1.1–13.1.4, doi: 10.1109/IEDM.2012.6479033.
- [11] Fei, C., Bai, S., Wang, Q., Huang, R., He, Z., Liu, H., Liu, Q.: Influences of pre-oxidation nitrogen implantation and post-oxidation annealing on channel mobility of 4H-SiC MOSFETs. *J. Cryst. Growth*. 531, 125338 (2020).
- [12] Yamasue, K., Cho, Y.: Spatial scale dependent impact of non-uniform interface defect distribution on field effect mobility in SiC MOSFETs. *Microelectron. Reliab.* 114, 113829 (2020).
- [13] Mahapatra, S., Goel, N., Chaudhary, A., Joshi, K., Mukhopadhyay, S.: Characterization methods for BTI degradation and associated gate insulator defects. (2016).
- [14] Roccaforte, F., Giannazzo, F., Iucolano, F., Eriksson, J., Weng, M.H., Raineri, V.: Surface and interface issues in wide band gap semiconductor electronics. *Appl. Surf. Sci.* 256, 5727–5735 (2010).
- [15] Baker, N., Iannuzzo, F.: Smart SiC MOSFET accelerated lifetime testing. *Microelectron. Reliab.* 88–90, 43–47 (2018).
- [16] Roccaforte, F., Fiorenza, P., Greco, G., Lo Nigro, R., Giannazzo, F., Iucolano, F., Saggio, M.: Emerging trends in wide band gap semiconductors (SiC and GaN) technology for power devices. *Microelectron. Eng.* 187–188, 66–77 (2018).

- [17] Nguyen, D.D., Kouhestani, C., Kambour, K.E., Hjalmarson, H.P., Devine, R.A.B.: Extraction of recoverable and permanent trapped charge resulting from negative bias temperature instability. *Phys. Status Solidi Curr. Top. Solid State Phys.* 10, 259–262 (2013).
- [18] Busatto, G., Di Pasquale, A., Marciano, D., Palazzo, S., Sanseverino, A., Velardi, F.: Physical mechanisms for gate damage induced by heavy ions in SiC power MOSFET. *Microelectron. Reliab.* 114, 113903 (2020).
- [19] Rocha-Jácome, C., Carvajal, R., Chavero, F., Guevara-Cabezas, E. and Hidalgo Fort, E., 2022. Industry 4.0: A Proposal of Paradigm Organization Schemes from a Systematic Literature Review.